

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/KR05/000357

International filing date: 05 February 2005 (05.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: KR  
Number: 10-2004-0010472  
Filing date: 17 February 2004 (17.02.2004)

Date of receipt at the International Bureau: 30 March 2005 (30.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



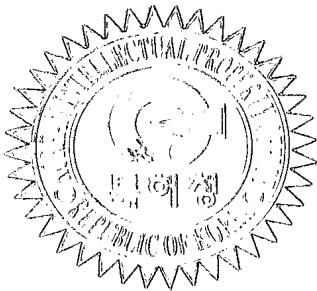
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2004-0010472  
Application Number

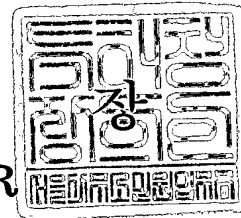
출원년월일 : 2004년 02월 17일  
Date of Application FEB 17, 2004

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 10 월 04 일

특 허 청  
COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2004.02.17
【국제특허분류】	H01L
【발명의 명칭】	멀티 -게이트 구조의 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having multi-gate structure and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2003-003436-7
【발명자】	
【성명의 국문표기】	최정아
【성명의 영문표기】	CHOI, Jung A
【주민등록번호】	780819-2074410
【우편번호】	449-912
【주소】	경기도 용인시 구성면 마북리 삼거마을 삼성래미안아파트 108-1802
【국적】	KR
【발명자】	
【성명의 국문표기】	양정환
【성명의 영문표기】	YANG, Jeong Hwan
【주민등록번호】	681009-1659327
【우편번호】	442-470

**【주소】** 경기도 수원시 팔달구 영통동 살구골7단지 성지아파트 712동 204호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 진유승  
**【성명의 영문표기】** JIN, You Seung  
**【주민등록번호】** 730415-1068922  
**【우편번호】** 150-072  
**【주소】** 서울특별시 영등포구 대림2동  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 이영필 (인) 대리인  
 이해영 (인)  
**【수수료】**  
**【기본출원료】** 41 면 38,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 37 항 1,293,000 원  
**【합계】** 1,331,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

복수의 슬랩(slab)을 포함하는 메사형 활성 영역을 가지는 반도체 소자 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 반도체 소자는 상호 연결되어 있는 제1 활성 영역 및 제2 활성 영역을 포함한다. 제1 활성 영역은 기판 위에 라인 앤드 스페이스 패턴 (line and space pattern) 형상으로 형성되고, 상호 반대 방향인 제1 측면 및 제2 측면과 상면을 각각 가지는 복수의 슬랩으로 구성된다. 제2 활성 영역은 상기 제1 활성 영역과는 같거나 다른 물질로 이루어지고 상기 복수의 슬랩을 상호 연결시키도록 상기 기판상에서 상기 슬랩의 적어도 일단부에 접하여 연장되어 있다. 본 발명에 따른 반도체 소자를 제조하기 위하여 라인 앤드 스페이스 패턴 형상의 제1 활성 영역을 기판 위에 먼저 형성한 후 제2 활성 영역을 형성한다.

## 【대표도】

도 17

## 【색인어】

멀티-게이트, 슬랩, 활성 영역, 라인 앤드 스페이스 패턴

## 【명세서】

## 【발명의 명칭】

멀티-게이트 구조의 반도체 소자 및 그 제조 방법{Semiconductor device having multi-gate structure and method of manufacturing the same}

## 【도면의 간단한 설명】

도 1a는 종래 기술에 따른 멀티-게이트 트랜지스터의 개략적인 구조를 도시한 것이다.

도 1b는 종래 기술에 따른 반도체 소자 제조 방법에서 활성 영역을 패터닝하기 위한 리소그래피 공정시 사용되는 OPC (Optical Proximity Correction)가 적용된 레티클 (reticle) 패턴을 나타낸다.

도 1c는 종래 기술에 따라 OPC가 적용된 멀티-게이트 레티클을 이용하여 구현된 활성 영역의 평면 프로파일을 나타낸다.

도 2 내지 도 17은 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 부분 사시도들이다.

도 18은 도 17의 XVIII - XVIII'선 단면도이다.

도 19는 도 17의 XIX - XIX'선 단면도이다.

도 20 내지 도 22는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 부분 사시도들이다.

도 23은 도 22의 XXIII - XXIII'선 단면도이다.

도 24는 도 22의 XXIV - XXIV'선 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 실리콘 기판, 110: 매몰 산화막, 120: 슬랩, 122: 제1 측면, 124: 제2 측면, 126: 상면, 128: 단부, 130: 마스크층, 130a: 마스크 패턴, 130b: 마스크 패턴, 132: 포토레지스트 막, 132a: 포토레지스트 패턴, 140: 반도체층, 140a: 제2 활성 영역, 142: 오버랩 영역, 150: 절연막, 150a: 게이트 절연막, 160: 도전층, 160a: 게이트 라인, 172: 마스크층, 172a: 마스크 패턴, 174: 포토레지스트막, 174a: 포토레지스트 패턴, 182: 제1 채널 영역, 184: 제2 채널 영역, 186: 제3 채널 영역, 240: 제2 활성 영역, 242: 오버랩 영역.

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 채널이 슬랩(slab) 형상의 메사(mesa)형 활성 영역에 형성되는 멀티-게이트 구조의 MOS (metal-oxide-semiconductor)형 트랜지스터를 구비하는 반도체 소자 및 그 제조 방법에 관한 것이다.

<13> 반도체 소자의 고속화, 고기능화 및 저소비 전력화를 구현하기 위하여 집적 회로를 구성하는 개개의 트랜지스터의 우수한 구동 능력을 유지하면서 그 사이즈를 축소시켜 집적회로에서의 소자 밀도를 증가시키기 위한 노력이 계속되고 있다. 소자 밀도를 증가시키기 위하여는 반도체 소자의 피쳐 사이즈 (feature size)를 줄일 수 있는 기술이 필요하다.

<14> CMOS (complementary MOS)에서의 소자 밀도를 높이기 위한 FET (field effect transistor)의 스케일링 (scaling) 기술 중 하나로서 SOI (silicon-on-insulator) 웨이퍼를 사용하여 핀 (fin) 형상의 실리콘 바디(body)를 형성하고, 그 표면 위에 게이트를 형성하는 멀티-게이트 트랜지스터가 제안되었다. (예를 들면, Fu-Liang Yang et al., "35nm CMOS

FinFETs", Symposium on VLSI Technology Digest of Technical Papers, pp. 104-105, 2002; 및 B. S. Doyle et al., "High Performance Fully-Depleted Tri-Gate CMOS Transistors", IEEE Electron Device Letters, Vol. 24, No. 4, April, 2003, pp. 263-365)

- <15> 실리콘 핀 바디를 이용한 멀티-게이트 트랜지스터는 3차원의 채널을 이용함으로써 CMOS의 스케일링시 매우 유리하게 적용될 수 있으며, 완전 공핍형 SOI 구조를 채용함으로써 게이트 길이를 증가시키지 않고도 우수한 서브쓰레숄드 특성 및 전류 제어 능력을 제공할 뿐 만 아니라 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE (short channel effect)를 효과적으로 억제할 수 있는 이점을 제공하는 것으로 널리 알려져 있다. 특히, 트리-게이트 (tri-gate) CMOS는 3개의 표면에 형성되는 채널을 이용하므로 FinFET에 비하여 채널을 형성하기 위한 활성 영역의 폭 및 높이에 있어서 설계상의 허용 범위가 큰 장점이 있다.
- <16> 도 1a에 도시한 바와 같이, SOI 웨이퍼의 매몰 산화막 (buried oxide film)(10) 위에 멀티-게이트 트랜지스터를 제조하는 데 있어서 소스/드레인 역할을 하기 위한 실리콘 활성 영역(12)이 통상적으로 메사형 슬랩 형상으로 구현된다. 여기서, 상기 실리콘 활성 영역(12)에는 그 상면 및 양 측면을 덮는 게이트 라인(14)과 대면하는 부분 근방에 채널이 형성된다.
- <17> 멀티-게이트 트랜지스터의 전기적 특성은 활성 영역의 높이, 폭 등과 같은 활성 영역의 사이즈와, 활성 영역의 곡률 (curvature), 평면상에서 볼 때의 라운딩 프로파일 등과 같은 활성 영역의 형상에 따라 크게 영향을 받는다. 즉, 게이트 라인에 의해 덮이는 활성 영역 슬랩의 사이즈 및 형상의 균일도에 따라 멀티-게이트 트랜지스터의 퍼포먼스 (performance)에 편차가 발생하거나, 전기적 특성이 열화될 수 있다.
- <18> 종래 기술에서는 도 1a에 도시한 바와 같은 형상의 활성 영역을 패터닝할 때, 리소그래피 공정시의 근접효과 (proximity effect)에 따른 문제를 해결하기 위하여 도 1b에 도시한 바



와 같이 OPC (Optical Proximity Correction)를 적용한 레티클 (reticle) 패턴을 이용한다. 도 1b에서, "22"는 활성 영역 슬랩 패턴을 나타내고, "24"는 더미 패턴을 나타낸다. 즉, 종래 기술에서는 레티클상에 OPC를 적용한 독립적인 활성 영역 슬랩을 패터닝하고, 리소그래피 특성을 이용하여 각 활성 영역 슬랩을 연결시킨다.

<19> 도 1b에 도시한 바와 같은 레티클 패턴을 이용하여 리소그래피 공정을 행하는 경우, 도 1c의 평면도에 나타낸 바와 같이 "라운딩(rounding)" 현상이 발생된 활성 영역 패턴(30)이 구현될 가능성이 매우 크다.

<20> 도 1a에 나타낸 바와 같은 활성 영역(12)에서 각 슬랩의 피치가 작아질수록 도 1b를 참조하여 설명한 바와 같이 종래 기술에 따라 OPC를 적용하여 활성 영역을 형성하는 경우에는 리소그래피 공정에서의 해상 한계로 인하여 도 1c에 도시한 바와 같이 활성 영역을 구성하는 슬랩에서 프로파일 라운딩 현상이 발생하거나, ADI (after-development inspection)시 CD 편차 (critical dimension variation)를 야기한다. 특히, 여러 개의 슬랩이 평행하게 배열되어 있는 트랜지스터를 구현할 때에는 각 슬랩에서 균일한 프로파일 및 CD를 가지도록 패터닝하는 것이 더욱 어렵다. 그 결과, 종래 기술에 따라 도 1a에 도시한 형상의 활성 영역(12)을 형성할 때에는 리소그래피 공정 후에 얻어지는 패턴 프로파일 불량, 식각 공정 후에 각 슬랩의 사이즈 균일도 불량, 식각 공정 후에 활성 영역상에서의 원하지 않는 실리콘 잔류물 발생, 식각 공정시 각 슬랩 사이의 갭이 오픈되지 않는 "낫오픈(not open)" 현상 발생 등과 같은 다양한 문제가 발생된다. 또한, 도 1c에 도시한 바와 같이 패턴 라운딩 현상이 발생된 활성 영역 위에 게이트 라인이 y축 방향에 따라 미스얼라인되어 형성되는 경우에는 멀티-게이트 트랜지스터의 퍼포먼스에 큰 편차가 발생하는 것을 피할 수 없다.

【발명이 이루고자 하는 기술적 과제】

- <21> 본 발명은 상기한 바와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, 안정적이고 균일한 프로파일 및 제어된 CD를 가지는 활성 영역을 구비함으로써 멀티-게이트 트랜지스터에서 균일한 퍼포먼스를 얻을 수 있고 전기적 특성을 향상시킬 수 있는 반도체 소자를 제공하는 것이다.
- <22> 본 발명의 다른 목적은 멀티-게이트 트랜지스터를 구현하는 데 있어서 활성 영역의 재현성 있는 프로파일 및 CD 제어 가능성을 안정적으로 확보할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <23> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자는 상호 연결되어 있는 제1 활성 영역 및 제2 활성 영역을 포함한다. 제1 활성 영역은 기판 위에 라인 앤드 스페이스 패턴(line and space pattern) 형상으로 형성되고, 상호 반대 방향인 제1 측면 및 제2 측면과 상면을 각각 가지는 복수의 슬랩(slab)으로 구성된다. 제2 활성 영역은 상기 제1 활성 영역과는 같거나 다른 물질로 이루어지고 상기 복수의 슬랩을 상호 연결시키도록 상기 기판상에서 상기 슬랩의 적어도 일단부에 접하여 연장되어 있다. 상기 슬랩의 적어도 제1 측면 및 제2 측면과 상면 위에 게이트 라인이 형성되어 있다. 상기 슬랩과 상기 게이트 라인과 사이에는 게이트 절연막이 개재되어 있다.
- <24> 상기 슬랩의 상면은 상기 기판으로부터 제1 거리 만큼 이격되어 있으며, 상기 제2 활성 영역은 상기 기판으로부터 상기 제1 거리와 같거나 더 큰 제2 거리 만큼 이격되어 있다.

- <25>      상기 제2 활성 영역은 상기 슬랩의 양 단부에 접해 있는 상태에서 상기 슬랩의 연장 방향과 직교하는 방향으로 연장되어 있다. 바람직하게는, 상기 제2 활성 영역은 상기 슬랩 중 상기 제1 측면, 제2 측면 및 상면의 일부와 접하여 연장되어 있는 오버랩 영역을 가진다.
- <26>      바람직하게는, 상기 게이트 라인은 상기 슬랩의 연장 방향과는 직교하는 방향으로 연장되어 있고, 상기 제2 활성 영역의 연장 방향과는 평행한 방향으로 연장되어 있다.
- <27>      상기 제1 활성 영역 중 상기 슬랩의 제1 측면 및 제2 측면에 근접하여 상기 게이트 라인과 대면하는 부분에는 각각 제1 채널 영역 및 제2 채널 영역이 위치한다. 트리-게이트 트랜지스터를 구성하기 위하여, 상기 제1 활성 영역 중 상기 슬랩의 상면에 근접하여 상기 게이트 라인과 대면하는 부분에 제3 채널 영역이 더 위치될 수 있다.
- <28>      상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자의 제조 방법에서는 라인 앤드 스페이스 패턴 형상을 가지고 제1 물질로 이루어지는 제1 활성 영역을 기판 위에 형성한다. 상기 제1 활성 영역의 적어도 일부에 접하여 연장되고 상기 제1 물질과 같거나 다른 제2 물질로 이루어지는 제2 활성 영역을 상기 기판 위에 형성한다. 상기 제1 활성 영역 위에 게이트 절연막을 형성한다. 상기 게이트 절연막 위에 게이트를 형성한다.
- <29>      상기 제2 활성 영역을 형성하기 위하여, 먼저 상기 슬랩의 양 단부를 노출시키도록 상기 슬랩의 일부를 덮는 마스크 패턴을 상기 기판 위에 형성한다. 그 후, 상기 제2 물질을 증착하여 상기 슬랩의 노출된 양 단부 및 상기 마스크 패턴을 덮는 제2 물질층을 형성한다. 이어서, 상기 제2 물질층을 평탄화한다.
- <30>      본 발명에 의하면, 멀티-게이트 트랜지스터의 활성 영역을 각각 제1 활성 영역 및 제2 활성 영역으로 나누어 형성함으로써 디자인 룰 300nm 이하의 피치를 가지는 활성 영역을 형성

할 때 리소그래피 공정시의 해상 한계에 따른 문제점들을 회피할 수 있으며, 활성 영역에서 CD 편차에 따른 문제를 개선할 수 있다. 따라서, 본 발명에 의하면 활성 영역의 재현성 있는 프로파일 및 CD 제어 가능성을 안정적으로 확보할 수 있으며, 멀티-게이트 트랜지스터에서 균일한 퍼포먼스 및 향상된 전기적 특성을 제공할 수 있는 반도체 소자를 구현할 수 있다.

<31> 다음에, 본 발명의 바람직한 실시예들에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<32> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다.

<33> 도 2 내지 도 17은 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 부분 사시도들이다.

<34> 도 2를 참조하면, 실리콘 기판(100), 매몰 산화막(110), 및 단결정 실리콘층으로 이루어지는 SOI층이 차례로 적층된 SOI 기판을 준비한다. 상기 SOI 기판으로서 예를 들면 SIMOX (Separation by Implantation of Oxygen) 공정에 의하여 형성된 SOI 기판을 사용할 수 있다. 예를 들면, 상기 매몰 산화막(110)은 약 1000 ~ 1500Å의 두께를 가진다.

<35> 포토레지스트 패턴 또는 하드 마스크 패턴을 식각 마스크로 이용하는 식각 공정에 의하여 상기 SOI층을 패터닝하여 상기 매몰 산화막(110) 위에 라인 앤드 스페이스 패턴 (line and space pattern) 형상의 메사형 활성 영역으로서 복수의 슬랩(120)을 형성한다. 상기 복수의 슬랩(120)은 제1 활성 영역을 구성한다. 상기 슬

랩(120)은 각각 상기 실리콘 기판(100)의 주면 연장 방향과 수직을 이루도록 연장되는 제1 측면(122) 및 제2 측면(124)과, 상기 실리콘 기판(100)의 주면 연장 방향과 평행하게 연장되는 상면(126)을 가지도록 형성된다. 각 슬랩(120)의 상면의 폭(W)은 약 50nm 이하의 범위에서 선택될 수 있고, 각 슬랩(120)의 높이(H)는 약 70 nm 이하의 범위에서 선택될 수 있다. 그러나, 본 발명은 이에 한정되는 것은 아니다.

<36> 도 3을 참조하면, 상기 매몰 산화막(110) 위에 상기 슬랩(120)을 완전히 덮는 마스크층(130)을 형성하고, 상기 마스크층(130) 위에 포토레지스트막(132)을 형성한다.

<37> 상기 마스크층(130)은 예를 들면 SiON막, Si<sub>3</sub>N<sub>4</sub>막, 또는 SiO<sub>2</sub>막으로 구성되는 단일막, 또는 이들의 조합으로 구성되는 다중막으로 이루어진다. 바람직하게는, 상기 마스크층(130)은 SiON막 및 Si<sub>3</sub>N<sub>4</sub>막으로 구성되는 이중막으로 이루어진다. 더욱 바람직하게는, 상기 마스크층(130)은 상기 슬랩(120)과 접하도록 상기 슬랩(120)의 바로 위에 형성되는 SiON막과, 그 위에 형성되어 상기 마스크층(130)의 상면을 구성하는 Si<sub>3</sub>N<sub>4</sub>막으로 이루어진다. 상기 마스크층(130)을 이와 같이 형성하면, 하부의 SiON막에 의하여 상기 슬랩(120)을 구성하는 실리콘(Si)이 외부 요인에 의하여 손상받는 것을 방지할 수 있고, 상부의 Si<sub>3</sub>N<sub>4</sub>막에 의하여 후속의 CMP (chemical mechanical polishing) 공정시 우수한 연마 특성을 얻을 수 있다.

<38> 도 4를 참조하면, 상기 포토레지스트막(132)을 패터닝하여 상기 마스크층(130)을 일부 노출시키는 포토레지스트 패턴(132a)을 형성한다.

<39> 도 5를 참조하면, 상기 포토레지스트 패턴(132a)을 식각 마스크로 하여 상기 마스크층(130)을 식각하여, 각 슬랩(120)의 양 단부(128)를 노출시키도록 상기 슬랩(120)의 일부만을 덮는 마스크 패턴(130a)을 형성한다. 상기 마스크 패턴(130a)이 형성된 후, 상기 마스크 패턴

(130a) 주위에서는 각 슬랩(120)의 양 단부(128)에 인접한 제1 측면(122), 제2 측면(124) 및 상면(126)이 일부 노출된다.

<40> 도 6을 참조하면, 상기 포토레지스트 패턴(132a)을 제거하여 상기 마스크 패턴(130a)의 상면을 노출시킨다.

<41> 도 7을 참조하면, 상기 마스크 패턴(130a) 및 그 주위에 노출되어 있는 각 슬랩(120)을 완전히 덮는 반도체층(140)을 형성한다. 상기 반도체층(140)은 예를 들면 LPCVD (low pressure chemical vapor deposition) 방법을 이용하여 형성될 수 있다. 상기 반도체층(140)은 상기 제1 활성 영역인 복수의 슬랩(120)을 구성하는 단결정 실리콘과 같거나 다른 물질로서, Si를 포함하는 물질로 이루어진다. 바람직하게는, 상기 반도체층(140)은 폴리실리콘, 비정질 실리콘, 또는 실리콘을 함유하는 반도체 화합물 예를 들면  $Si_{1-x}Ge_x$  ( $0 < x < 1$ )로 이루어질 수 있다. 더욱 바람직하게는, 상기 반도체층(140)은 폴리실리콘으로 이루어진다. 상기 반도체층(140)은 원하는 바에 따라 수 백 ~ 수 천 Å의 두께로 형성될 수 있다.

<42> 도 8을 참조하면, 상기 마스크 패턴(130a)이 노출될 때 까지 상기 반도체층(140)을 CMP 또는 에치백 (etch back) 방법에 의하여 평탄화하여 각 슬랩(120)의 양 단부(128)를 덮는 제2 활성 영역(140a)을 형성한다. 상기 제2 활성 영역(140a)에 의하여 도 5에서 노출되었던 상기 슬랩(120)의 양 단부(128)에서 상기 제1 측면(122), 제2 측면(124) 및 상면(126) 중 일부가 덮이게 된다. 상기 제2 활성 영역(140a)을 통하여 제1 활성 영역인 각 슬랩(120)들이 상호 연결될 수 있다.

<43> 도 9를 참조하면, 애싱(ashing) 및 습식 식각 공정에 의하여 상기 마스크 패턴(130a)을 제거한다. 그 결과, 상기 매몰 산화막(110) 위에서 제1 활성 영역인 복수의 슬랩(120)과 이들을 상호 연결시키는 제2 활성 영역(140a)이 완전히 노출된다. 상기 제2 활성 영역(140a)은 각

슬랩(120)의 양 단부(128)에 접하면서 상기 슬랩(120)의 연장 방향과 직교하는 방향으로 연장되어 있다. 또한, 상기 제2 활성 영역(140a)은 각 슬랩(120) 중 상기 제1 측면(122), 제2 측면(124) 및 상면(126)의 일부와 접하여 연장되어 있는 오버랩 영역(142)을 가진다. 여기서, 각 슬랩(120)의 양 단부(128) 중 가장 끝 표면은 상기 제2 활성 영역(140a)에 의해 덮일 수도 있고 덮이지 않을 수도 있다. 도 9에 있어서, 각 슬랩(120) 중 도 9의 전방(前方)에 있는 단부(128)의 끝 표면은 상기 제2 활성 영역(140a)에 의해 덮인 것으로 도시되어 있고, 도 9의 후방(後方)에 있는 단부(128)의 끝 표면은 상기 제2 활성 영역(140a)에 의해 덮이지 않은 것으로 도시되어 있다.

<44> 그리고, 상기 제2 활성 영역(140a)의 상면은 상기 제1 활성 영역인 상기 슬랩(120)의 상면(126) 보다 높은 레벨을 가지며, 따라서 상기 실리콘 기판(100) 또는 상기 매몰 산화막(110)으로부터 상기 제2 활성 영역(140a)의 상면까지의 거리는 상기 실리콘 기판(100) 또는 매몰 산화막(110)으로부터 상기 슬랩(120)의 상면(126)까지의 거리보다 더 크다.

<45> 도 10을 참조하면, 상기 제1 활성 영역인 슬랩(120) 위에 절연막(150)을 형성한다. 상기 절연막(150)은 게이트 절연막을 형성하기 위하여 형성되는 것이다. 상기 절연막(150)은 상기 슬랩(120)의 표면으로부터 열산화 방법에 의하여 원하는 막질을 성장시켜 얻어질 수 있다. 또는 상기 절연막(150)을 형성하기 위하여 CVD 또는 ALD (atomic layer deposition) 방법을 이용할 수도 있다. 예를 들면, 상기 절연막(150)은  $\text{SiO}_2$ ,  $\text{SiON}$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ge}_x\text{O}_y\text{N}_z$  또는  $\text{Ge}_x\text{Si}_y\text{O}_z$  로 이루어질 수도 있고,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$  와 같은 금속 산화물로 구성되는 고유전 물질로 이루어질 수도 있다. 또한, 상기 절연막(150)은 상기 예시된 막질들 중에서 선택되는 2종 이상의 물질을 복수 층으로 적층하여 구성될 수도 있다. 이 때, 상기 제2 활성 영역(140a) 위에도 절연막이 형성될 수 있으나, 후속 공정에서 제거될 것이므로 문제되지 않는다.

- <46> 도 11을 참조하면, 상기 제2 활성 영역(140a) 및 상기 절연막(150) 위에 게이트 라인 형성을 위한 도전층(160)을 형성하고, 그 위에 마스크층(172) 및 포토레지스트막(174)을 형성한다. 상기 도전층(160)은 예를 들면 도전성 폴리실리콘막, 금속막, 금속 질화물막 또는 금속 실리콘사이드막으로 이루어질 수 있다. 상기 도전층(160)은 상기 절연막(150)을 사이에 두고 상기 슬랩(120)의 제1 측면(122), 제2 측면(124) 및 상면(126)을 모두 덮도록 형성된다. 상기 마스크층(172)은 예를 들면  $\text{Si}_3\text{N}_4$ 막으로 이루어질 수 있으며, 경우에 따라 생략 가능하다.
- <47> 도 12를 참조하면, 상기 포토레지스트막(174)을 패터닝하여 게이트 라인이 형성될 영역을 덮는 포토레지스트 패턴(174a)을 형성한다.
- <48> 도 13을 참조하면, 상기 포토레지스트 패턴(174a)을 식각 마스크로 하여 상기 마스크층(172)의 노출된 부분을 식각하여 마스크 패턴(172a)을 형성한다. 그 결과, 상기 마스크 패턴(172a) 주위에서는 상기 도전층(160)이 일부 노출된다.
- <49> 도 14를 참조하면, 상기 포토레지스트 패턴(174a)을 제거하여 상기 마스크 패턴(172a)의 상면을 노출시킨다.
- <50> 도 15를 참조하면, 상기 마스크 패턴(172a)을 식각 마스크로 하여 상기 도전층(160)을 이방성 식각하여 게이트 라인(160a)을 형성한다. 여기서, 상기 마스크층(172)의 형성을 생략한 경우에는 상기 포토레지스트 패턴(174a)을 식각 마스크로 이용할 수 있다. 상기 게이트 라인(160a)은 각 슬랩(120)의 연장 방향과는 직교하는 방향으로 연장되어 있고, 상기 제2 활성 영역(140a)과는 평행한 방향으로 연장되어 있다. 상기 게이트 라인(160a)이 형성된 후, 상기 게이트 라인(160a)의 주위에는 상기 슬랩(120)을 덮고 있는 절연막(150)이 노출된다.



- <51> 도 16을 참조하면, 상기 마스크 패턴(172a)을 제거하여 상기 게이트 라인(160a)의 상면을 노출시킨다.
- <52> 도 17을 참조하면, 상기 슬랩(120)의 표면을 덮고 있는 절연막(150)을 제거한다. 이 때, 상기 제2 활성 영역(140a) 위에도 절연막이 형성되어 있다면 이 단계에서 상기 절연막(150)과 함께 제거된다. 그 결과, 상기 게이트 라인(160a)의 주위에서 각 슬랩(120)이 노출되고, 상기 슬랩(120)의 대략 중앙부에서는 그 제1 측면(122), 제2 측면(124) 및 상면(126)과 상기 게이트 라인(160a)과의 사이에 게이트 절연막(150a)이 남아 있게 된다.
- <53> 그 후, 통상의 방법에 의하여 상기 게이트 라인(160a)의 측벽에 절연 스페이서(도시 생략)를 형성하고, 소스/드레인 형성을 위한 이온 주입 공정 및 어닐링 공정을 행한다.
- <54> 도 18은 도 17의 XVIII - XVIII'선 단면도이고, 도 19는 도 17의 XIX - XIX'선 단면도이다.
- <55> 도 18에 도시된 바와 같이, 제1 활성 영역인 각 슬랩(120)의 제1 측면(122), 제2 측면(124) 및 상면(126)은 각각 상기 게이트 라인(160a)과 대면하고 있으며, 이들 사이에 상기 게이트 절연막(160)이 개재되어 있다. 또한, 상기 슬랩(120) 내부에는 상기 제1 측면(122), 제2 측면(124) 및 상면(126)에 근접하여 상기 게이트 라인(160a)과 대면하는 부분에 각각 제1 채널 영역(182), 제2 채널 영역(184) 및 제3 채널 영역(186)이 위치된다. 즉, 상기 슬랩(120)중 3개의 면에 각각 채널이 형성되는 트리-게이트 구조가 구현된다. 그러나, 본 발명은 이에 한정되는 것은 아니며, 본 발명의 사상의 범위 내에서 단순한 공정 설계 변형을 통하여 FinFET 구조를 구현하는 것도 당 업자이면 용이하게 실시할 수 있다. FinFET 구조를 구현하는 경우에는 상기 슬랩(120) 내에서 제1 측면(122) 및 제2 측면(124) 근방에 각각 위치하는 상기 제1 채널 영역(182) 및 제2 채널 영역(184)에서만 채널이 형성된다.

- <56> 또한, 도 19에 도시된 바와 같이, 상기 매몰 산화막(110) 위에서 제1 활성 영역인 복수의 슬랩(120)을 상호 연결시키는 제2 활성 영역(140a)은 각 슬랩(120)의 양 단부(128)에 접해 있으며, 각 슬랩(120) 중 상기 제1 측면(122), 제2 측면(124) 및 상면(126)의 일부와 접하여 연장되어 있는 오버랩 영역(142)을 가진다. 도 19에 있어서, 상기 슬랩(120)의 양 단부(128) 중 한 단부의 끝 표면은 상기 제2 활성 영역(140a)에 의해 덮여 있고, 다른 단부의 끝 표면은 상기 제2 활성 영역(140a)에 의해 덮여 있지 않은 것으로 도시되어 있다.
- <57> 도 20 내지 도 22는 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 부분 사시도들이다.
- <58> 제2 실시예는 제1 실시예와 대체로 동일하나, 제1 실시예와 다른 점은 제2 활성 영역(240)의 상면(242)이 슬랩(120)의 상면(126)과 동일한 레벨로 형성된다는 것이다. 도 20 내지 도 22에 있어서, 제1 실시예에서와 동일한 참조 부호는 동일 부재를 나타낸다.
- <59> 도 20을 참조하여 보다 상세히 설명하면, 도 2 내지 도 7을 참조하여 설명한 바와 같은 방법으로 매몰 산화막(110) 위에 슬랩(120), 마스크 패턴(130a) 및 반도체층(140)을 차례로 형성한 후, 상기 슬랩(120)의 상면(126)이 노출될 때까지 상기 반도체층(140) 및 마스크 패턴(130a)을 CMP 또는 에치백 방법에 의하여 평탄화하여 각 슬랩(120)의 양 단부(128) 및 그 주위를 덮는 제2 활성 영역(240)을 형성한다. 그 결과, 상기 슬랩(120)의 제1 측면(122) 및 제2 측면(124) 중 양 단부(128)가 상기 제2 활성 영역(240)에 의해 덮이게 되고, 상기 슬랩(120)의 상면(126)은 완전히 노출된다. 상기 제2 활성 영역(240)을 통하여 제1 활성 영역인 각 슬랩(120)이 상호 연결된다. 그리고, 상기 매몰 산화막(110) 위에는 각 슬랩(120) 사이의 갭 영역에 상기 슬랩(120)과 대략 동일한 높이의 상면을 가지는 마스크 패턴(130b)이 남아 있게 된다.

<60> 도 21을 참조하면, 애싱 및 습식 식각 공정에 의하여 상기 마스크 패턴(130b)을 제거한다. 그 결과, 상기 매몰 산화막(110) 위에서 제1 활성 영역인 복수의 슬랩(120)과 이들을 상호 연결시키는 제2 활성 영역(240)이 완전히 노출된다. 상기 제2 활성 영역(240)은 각 슬랩(120)의 양 단부(128)에 접하면서 상기 슬랩(120)의 연장 방향과 직교하는 방향으로 연장되어 있다. 또한, 상기 제2 활성 영역(240)은 각 슬랩(120) 중 상기 제1 측면(122) 및 제2 측면(124)의 일부와 접하여 연장되어 있는 오버랩 영역(242)을 가진다. 여기서, 각 슬랩(120)의 양 단부(128)에서 가장 끝 표면은 상기 제2 활성 영역(240)에 의해 덮일 수도 있고, 덮이지 않을 수도 있다. 도 21에 있어서, 각 슬랩(120) 중 도 21의 전방측에 있는 단부(128)의 끝 표면은 상기 제2 활성 영역(240)에 의하여 덮인 것으로 도시되어 있고, 도 21의 후방측에 있는 단부(128)의 끝 표면은 상기 제2 활성 영역(240)에 의하여 덮이지 않은 것으로 도시되어 있다.

<61> 그리고, 상기 제2 활성 영역(240)의 상면은 상기 제1 활성 영역인 상기 슬랩(120)의 상면(126)과 대략 동일한 레벨을 가지며, 따라서 상기 실리콘 기판(100) 또는 상기 매몰 산화막(110)으로부터 상기 제2 활성 영역(240)까지의 거리는 상기 실리콘 기판(100) 또는 매몰 산화막(110)으로부터 상기 슬랩(120)의 상면(126)까지의 거리와 대략 같다.

<62> 도 22를 참조하면, 도 10 내지 도 17을 참조하여 설명한 바와 같은 방법에 의하여 상기 슬랩(120)의 대략 중앙부에서 그 제1 측면(122), 제2 측면(124) 및 상면(126)을 덮는 게이트 절연막(150a)과, 상기 게이트 절연막(150a)을 사이에 두고 상기 슬랩(120)의 제1 측면(122), 제2 측면(124) 및 상면(126)과 대면하고 있는 게이트 라인(160a)을 형성한다.

<63> 도 23은 도 22의 XXIII - XXIII'선 단면도이고, 도 24는 도 22의 XXIV - XXIV'선 단면도이다.

<64> 도 23의 구성은 도 18에서와 대체로 동일하므로 상세한 설명은 생략한다.

<65> 도 24에 도시된 바와 같이, 상기 매몰 산화막(110) 위에서 제1 활성 영역인 복수의 슬랩(120)을 상호 연결시키는 제2 활성 영역(240)은 각 슬랩(120)의 양 단부(128)에 접해 있으며, 각 슬랩(120) 중 상기 제1 측면(122) 및 제2 측면(124)의 일부와 접하여 연장되어 있다. 그리고, 상기 제2 활성 영역(240)의 상면은 제1 활성 영역인 상기 슬랩(120)의 상면(126)과 대략 동일한 레벨을 가진다. 도 24에 있어서, 상기 슬랩(120)의 양 단부(128) 중 한 단부의 끝 표면은 상기 제2 활성 영역(240)에 의해 덮여 있고, 다른 단부의 끝 표면은 상기 제2 활성 영역(240)에 의해 덮여 있지 않은 것으로 도시되어 있다.

#### 【발명의 효과】

<66> 본 발명에서는 멀티-게이트 트랜지스터 형성을 위한 활성 영역을 형성하는 데 있어서, OPC를 이용하는 리소그래피 공정 또는 식각 공정에서의 제어 한계에 따른 문제점을 해결하기 위하여, 먼저 라인 앤드 스페이스 패턴의 제1 활성 영역을 슬랩 형태로 형성한 후, 이어서 각 슬랩을 연결시키기 위한 제2 활성 영역을 형성한다. 본 발명에 따라 활성 영역을 각각 제1 활성 영역 및 제2 활성 영역으로 나누어 형성함으로써 디자인 룰 300nm 이하의 피치를 가지는 멀티-게이트 트랜지스터용 활성 영역을 형성할 때 리소그래피 공정시의 해상 한계에 따른 라운딩 현상 또는 "낫오픈" 현상에 의한 문제점들을 회피할 수 있으며, 활성 영역에서 CD 편차에 따른 문제를 개선할 수 있다. 또한, 게이트 라인 형성시 미스얼라인이 발생하더라도 트랜지스터의 특성 편차가 발생될 가능성이 현저히 줄어들게 된다. 따라서, 본 발명에 의하면 활성 영역의 재현성 있는 프로파일 및 CD 제어 가능성을 안정적으로 확보할 수 있으며, 멀티-게이트 트랜지스터에서 균일한 퍼포먼스 및 향상된 전기적 특성을 제공할 수 있는 반도체 소자를 구현할 수 있다.

<67> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

**【특허청구범위】****【청구항 1】**

기판상에서 상호 반대 방향인 제1 측면 및 제2 측면과 상면을 각각 가지는 복수의 슬랩 (slab)으로 구성되는 제1 활성 영역과,

상기 복수의 슬랩을 상호 연결시키도록 상기 기판상에서 상기 슬랩의 적어도 일단부에 접하여 연장되어 있는 제2 활성 영역과,

상기 슬랩의 적어도 제1 측면 및 제2 측면과 상면 위에 형성되어 있는 게이트 라인과,

상기 슬랩과 상기 게이트 라인과 사이에 개재되어 있는 게이트 절연막을 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 2】**

제1항에 있어서,

상기 제1 활성 영역은 라인 앤드 스페이스 패턴 (line and space pattern) 형상으로 형성된 것을 특징으로 하는 반도체 소자.

**【청구항 3】**

제1항에 있어서,

상기 제2 활성 영역은 상기 제1 활성 영역과는 다른 물질로 이루어지는 것을 특징으로 하는 반도체 소자.

**【청구항 4】**

제1항에 있어서,

상기 슬랩의 상면은 상기 기판으로부터 제1 거리 만큼 이격되어 있고,

상기 제2 활성 영역은 상기 기판으로부터 상기 제1 거리와 같거나 더 큰 제2 거리 만큼 이격되어 있는 상면을 가지는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제4항에 있어서,

상기 제2 거리는 상기 제1 거리 보다 더 큰 것을 특징으로 하는 반도체 소자.

【청구항 6】

제4항에 있어서,

상기 제2 거리는 제1 거리와 같은 것을 특징으로 하는 반도체 소자.

【청구항 7】

제1항에 있어서,

상기 제2 활성 영역은 상기 슬랩의 양 단부에 접해 있는 상태에서 상기 슬랩의 연장 방향과 직교하는 방향으로 연장되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 8】

제1항에 있어서,

상기 제2 활성 영역은 상기 슬랩 중 상기 제1 측면, 제2 측면 및 상면의 일부와 접하여 연장되어 있는 오버랩 영역을 가지는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제1항에 있어서,

상기 제1 활성 영역은 단결정 실리콘으로 이루어지고,

상기 제2 활성 영역은 폴리실리콘, 비정질 실리콘, 또는 실리콘을 함유하는 반도체 화합물로 이루어지는 것을 특징으로 하는 반도체 소자.

【청구항 10】

제1항에 있어서,

상기 제1 활성 영역 및 제2 활성 영역은 소스/드레인 영역을 구성하는 것을 특징으로 하는 반도체 소자.

【청구항 11】

제1항에 있어서,

상기 제1 활성 영역은 채널 영역을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 12】

제1항에 있어서,

상기 게이트 라인은 상기 슬랩의 연장 방향과 직교하는 방향으로 연장되어 있는 것을 특징으로 하는 반도체 소자.

【청구항 13】

제1항에 있어서,

상기 게이트 라인은 상기 제2 활성 영역의 연장 방향과 평행한 방향으로 연장되어 있는 것을 특징으로 하는 반도체 소자.



## 【청구항 14】

제1항에 있어서,

상기 게이트 라인은 도전성 폴리실리콘, 금속, 금속 질화물 또는 금속 실리사이드로 이루어지는 것을 특징으로 하는 반도체 소자.

## 【청구항 15】

제1항에 있어서,

상기 게이트 절연막은  $\text{SiO}_2$ ,  $\text{SiON}$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ge}_x\text{O}_y\text{N}_z$ ,  $\text{Ge}_x\text{Si}_y\text{O}_z$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$  또는  $\text{Ta}_2\text{O}_5$ 을 포함하는 것을 특징으로 하는 반도체 소자.

## 【청구항 16】

제1항에 있어서,

상기 기판은 매몰 산화막과 실리콘층을 포함하는 SOI 기판이고,

상기 제1 활성 영역 및 제2 활성 영역은 상기 매몰 산화막 위에 형성되어 있는 것을 특징으로 하는 반도체 소자.

## 【청구항 17】

제1항에 있어서,

상기 제1 활성 영역 중 상기 슬랩의 제1 측면 및 제2 측면에 근접하여 상기 게이트 라인과 대면하는 부분에 각각 위치하는 제1 채널 영역 및 제2 채널 영역을 더 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 18】**

제17항에 있어서,

상기 제1 활성 영역 중 상기 슬랩의 상면에 근접하여 상기 게이트 라인과 대면하는 부분에 위치하는 제3 채널 영역을 더 포함하는 것을 특징으로 하는 반도체 소자.

**【청구항 19】**

제1 물질로 이루어지는 제1 활성 영역을 기판 위에 형성하는 단계와,

상기 제1 활성 영역의 적어도 일부에 접하여 연장되고 제2 물질로 이루어지는 제2 활성 영역을 상기 기판 위에 형성하는 단계와,

상기 제1 활성 영역 위에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 20】**

제19항에 있어서,

상기 제1 활성 영역은 라인 앤드 스페이스 패턴 형상을 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 21】**

제19항에 있어서,

상기 제2 물질은 상기 제1 물질과는 다른 물질인 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 22】**

제19항에 있어서,

상기 제1 활성 영역을 형성하는 단계에서는 상호 반대 방향인 제1 측면 및 제2 측면과 상면을 각각 가지며 상기 기판상에 제1 방향으로 연장되는 복수의 슬랩(slab)을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 23】**

제22항에 있어서,

상기 슬랩의 상면은 상기 기판으로부터 제1 거리 만큼 이격되고,

상기 제2 활성 영역은 상기 기판으로부터 상기 제1 거리와 같거나 더 큰 제2 거리 만큼 이격되어 있는 상면을 가지도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 24】**

제22항에 있어서,

상기 제2 활성 영역은 상기 슬랩의 양 단부에 접하면서 상기 제1 방향과 직교하는 제2 방향으로 연장되도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 25】**

제22항에 있어서,

상기 제2 활성 영역은 상기 슬랩 중 상기 제1 측면, 제2 측면 및 상면의 일부와 접하여 연장되어 있는 오버랩 영역을 가지도록 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 26】**

제22항에 있어서,

상기 제2 활성 영역을 형성하는 단계는

상기 슬랩의 양 단부를 노출시키도록 상기 슬랩의 일부를 덮는 마스크 패턴을 상기 기판 위에 형성하는 단계와,

상기 제2 물질을 증착하여 상기 슬랩의 노출된 양 단부 및 상기 마스크 패턴을 덮는 제2 물질층을 형성하는 단계와,

상기 제2 물질층을 평탄화하여 상기 제2 활성 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 27】**

제26항에 있어서,

상기 마스크 패턴은 SiON막, Si<sub>3</sub>N<sub>4</sub>막 또는 SiO<sub>2</sub>막으로 구성되는 단일막, 또는 이들의 조합으로 구성되는 다중막으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 28】**

제27항에 있어서,

상기 마스크 패턴은 SiON막 및 Si<sub>3</sub>N<sub>4</sub>막으로 구성되는 이중막으로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 29】**

제26항에 있어서,

상기 마스크 패턴이 형성된 후 상기 마스크 패턴 주위에서 상기 복수의 슬랩 각각의 상면이 일부 노출될 수 있도록 상기 마스크 패턴은 상기 슬랩의 상면 중 일부 만을 덮는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 30】**

제26항에 있어서,

상기 제2 물질층을 평탄화하는 데 있어서 상기 마스크 패턴을 식각 정지층으로 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 31】**

제30항에 있어서,

상기 마스크 패턴은 상기 슬랩에 접해있는 SiON막과, 상기 마스크 패턴의 상면을 구성하는 Si<sub>3</sub>N<sub>4</sub>막을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 32】**

제26항에 있어서,

상기 제2 물질층을 평탄화하기 위하여 CMP (chemical mechanical polishing) 또는 에치백(etchback) 방법을 이용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

**【청구항 33】**

제19항에 있어서,

상기 제1 물질은 단결정 실리콘이고,

상기 제2 물질은 폴리실리콘, 비정질 실리콘, 또는 실리콘을 함유하는 반도체 화합물로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 34】

제19항에 있어서,

상기 게이트 절연막은  $\text{SiO}_2$ ,  $\text{SiON}$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{Ge}_x\text{O}_y\text{N}_z$ ,  $\text{Ge}_x\text{Si}_y\text{O}_z$ ,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{TiO}_2$  또는  $\text{Ta}_2\text{O}_5$ 을 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 35】

제22항에 있어서,

상기 게이트를 형성하기 위하여 상기 슬랩 중 상기 제1 측면, 제2 측면 및 상면을 덮도록 상기 제1 방향과 직교하는 제2 방향으로 연장되는 게이트 라인을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 36】

제35항에 있어서,

상기 게이트 라인은 도전성 폴리실리콘, 금속, 금속 질화물 또는 금속 실리사이드로 이루어지는 것을 특징으로 하는 반도체 소자의 제조 방법.

## 【청구항 37】

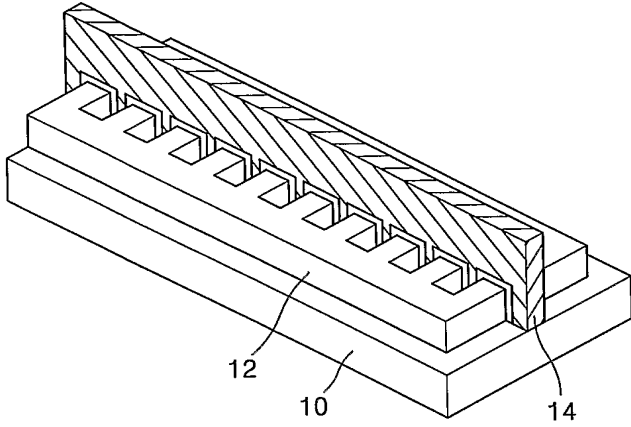
제19항에 있어서,

상기 기판으로서 매몰 산화막과 그 위에 형성된 단결정 실리콘층을 포함하는 SOI 기판을 준비하는 단계를 더 포함하고,

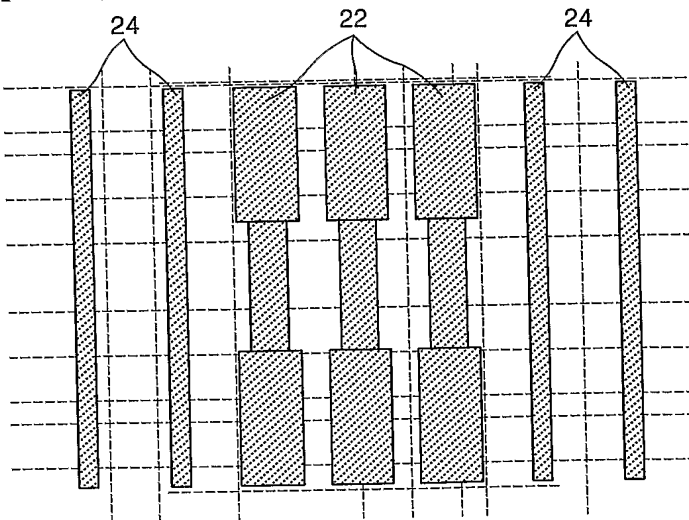
상기 제1 활성 영역은 상기 단결정 실리콘층을 패터닝하여 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

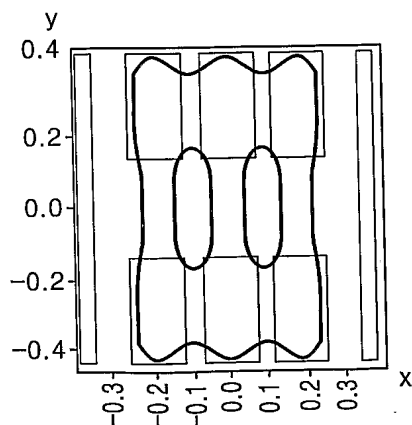
【도 1a】



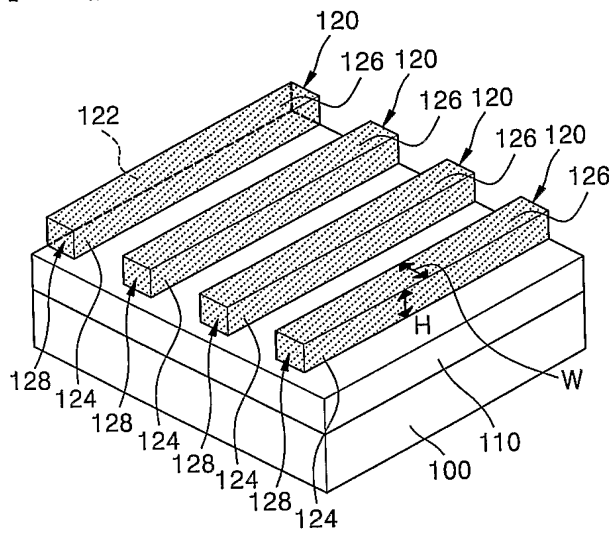
【도 1b】



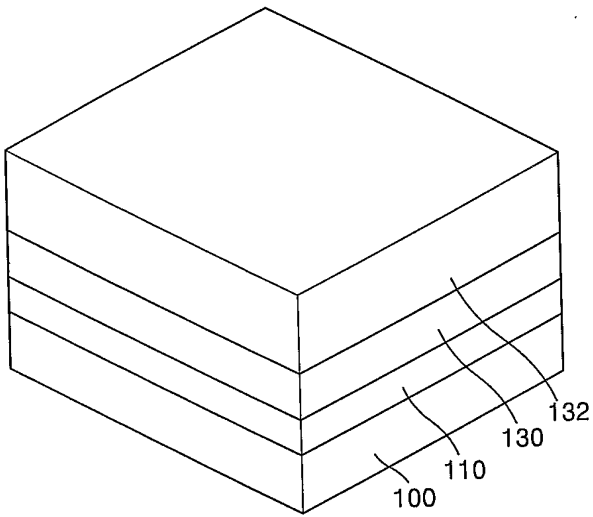
【도 1c】



【도 2】

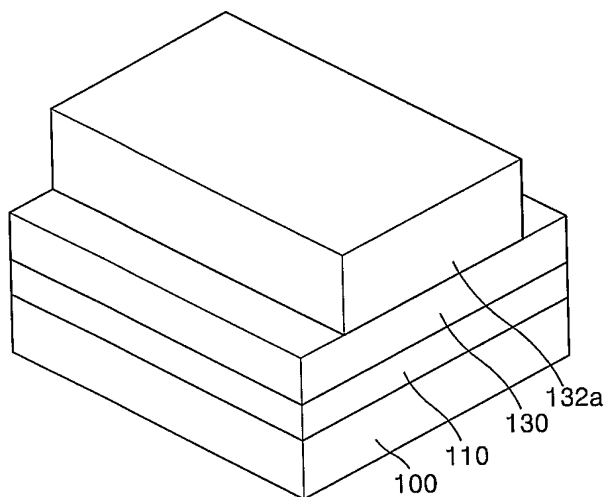


【도 3】

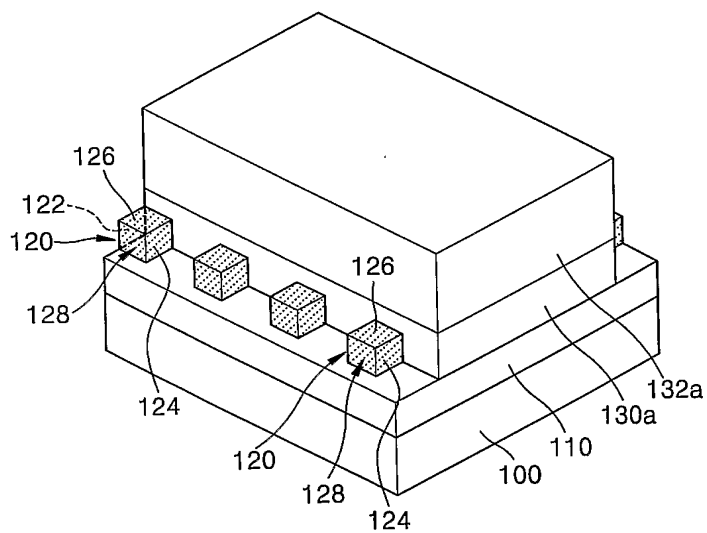




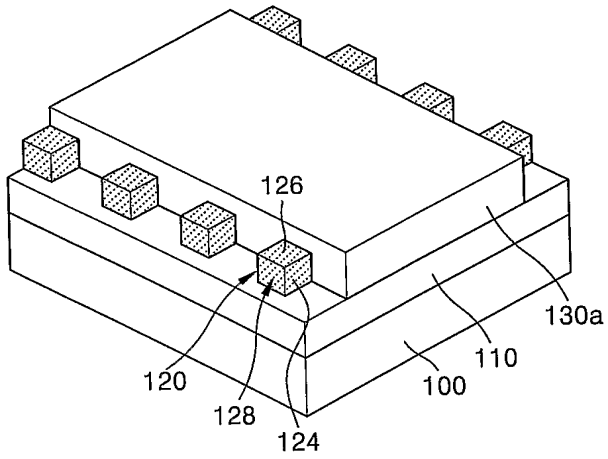
【도 4】



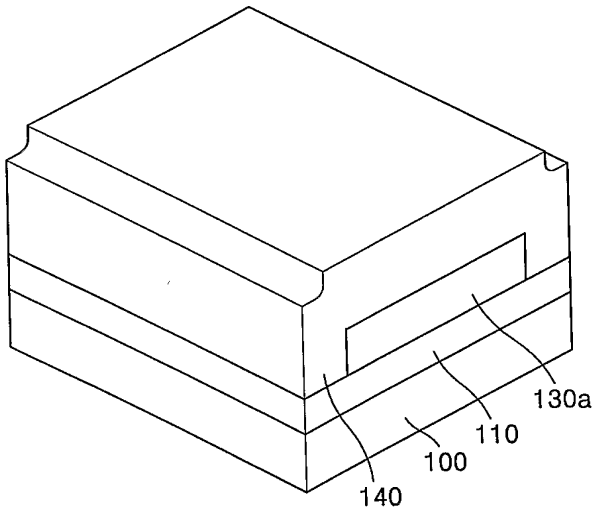
【도 5】



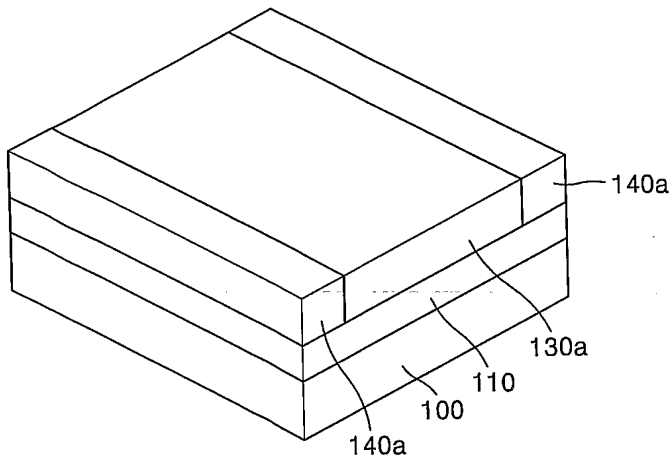
【도 6】



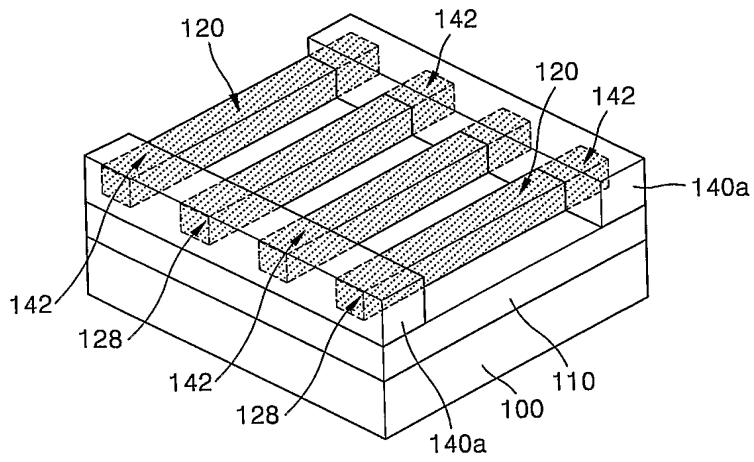
【도 7】



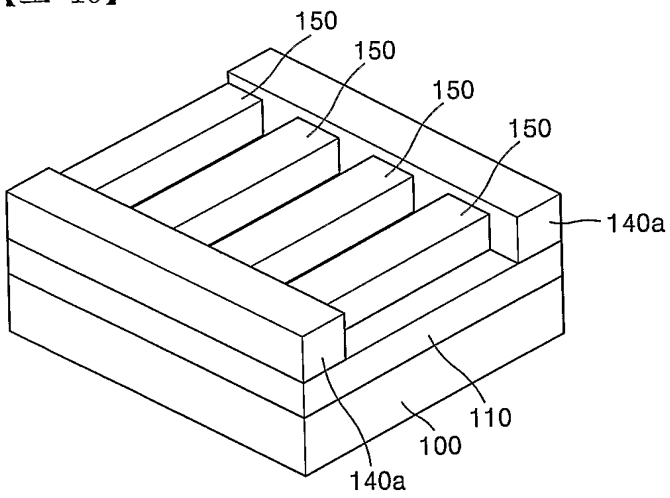
【도 8】



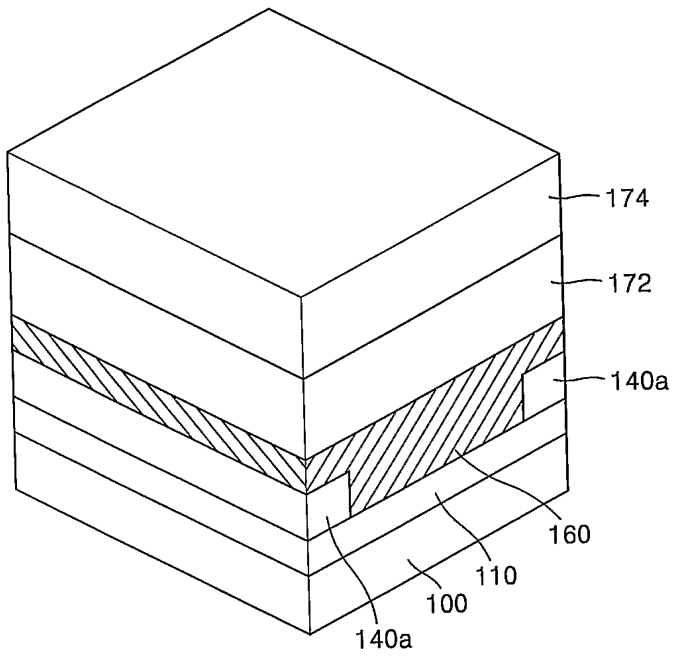
【도 9】



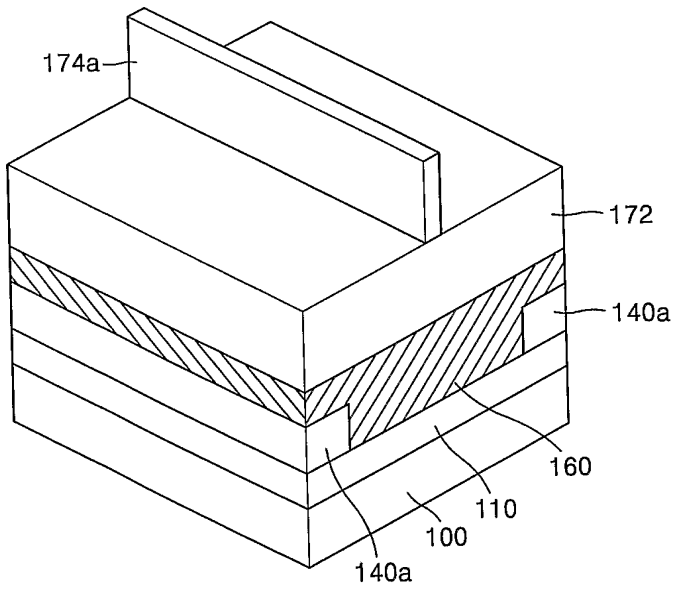
【도 10】



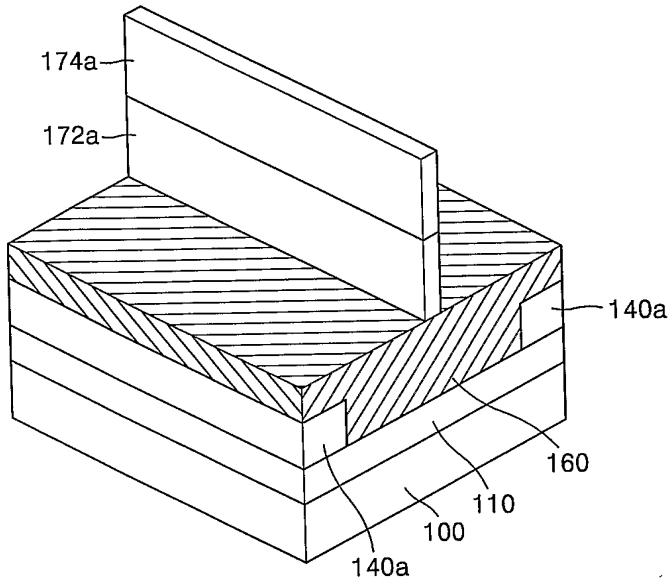
【도 11】



【도 12】



【도 13】



【도 14】

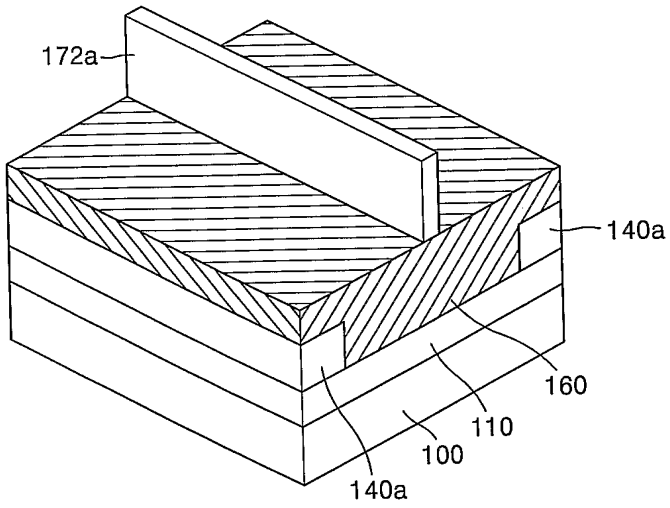
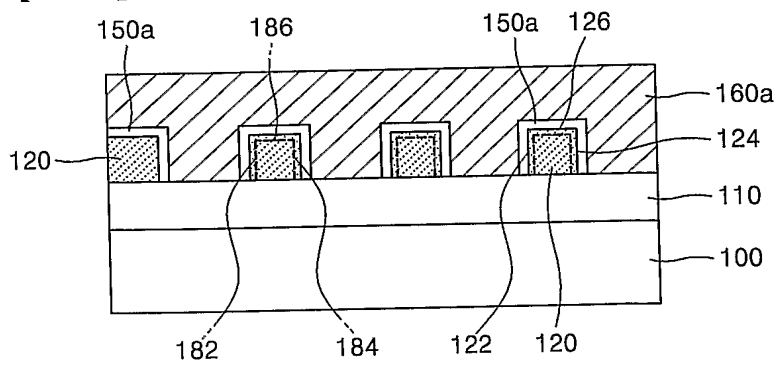


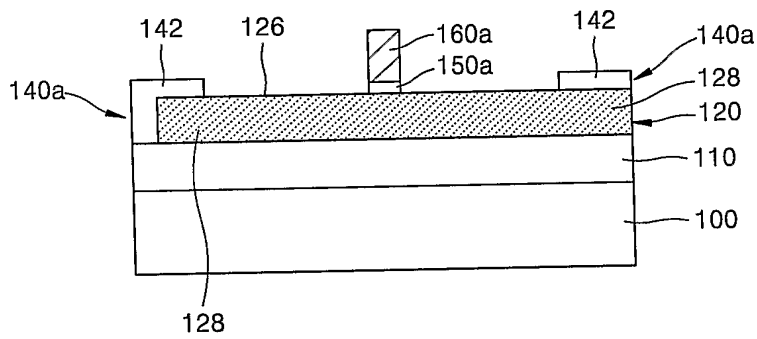
FIG. 1 is a perspective view of a semiconductor device 100. The device includes a substrate 110 with a base layer 140a. A gate stack 140 is formed on the substrate, with a gate insulating layer 150 and a gate electrode 172a. A source/drain region 160a is formed in the substrate, and a contact layer 150 is formed on the gate electrode 172a.

[illegible]

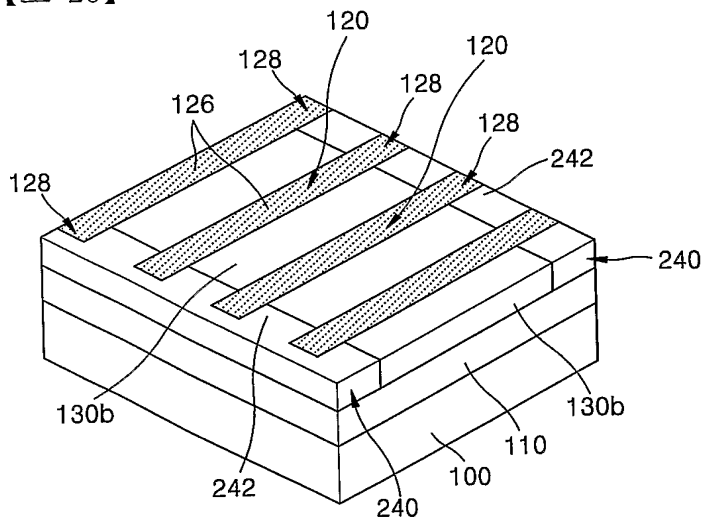
【도 18】



【도 19】

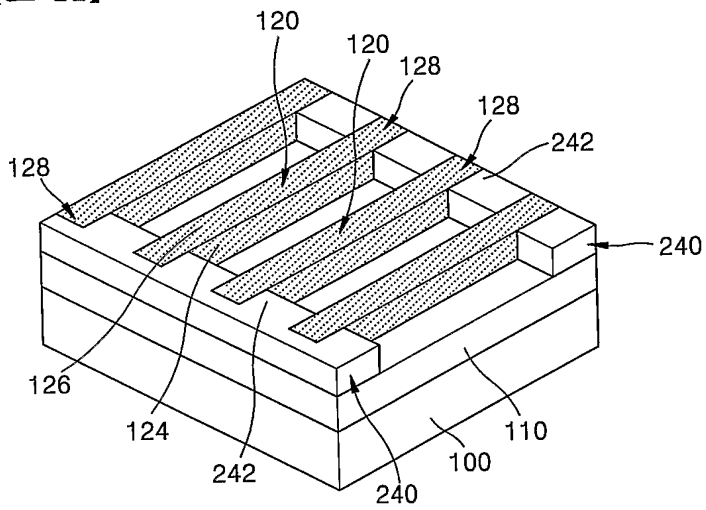


【도 20】

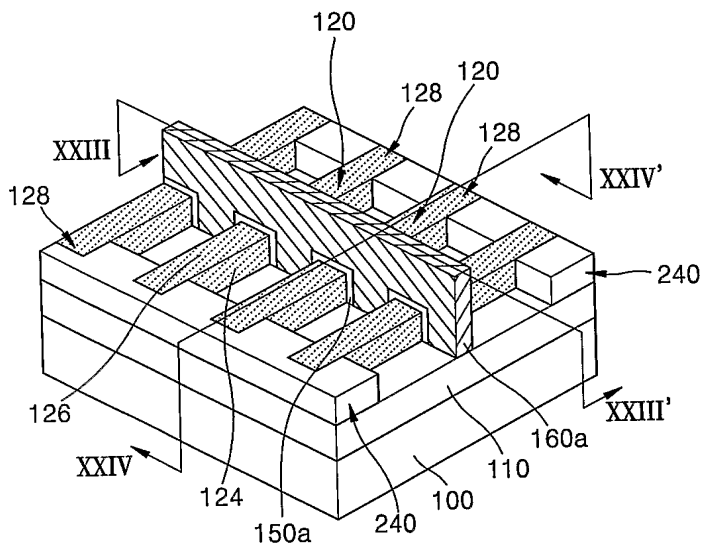




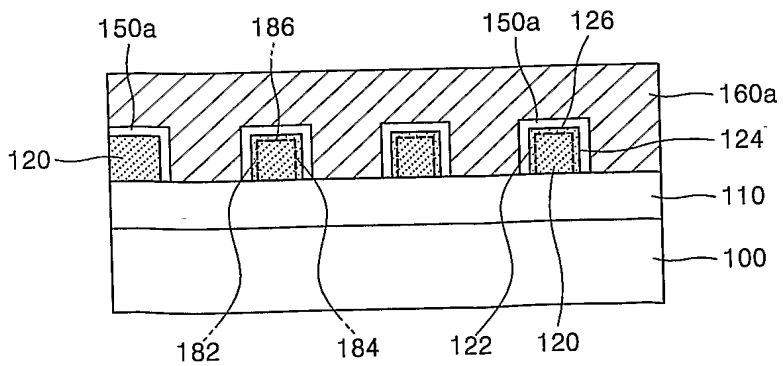
【도 21】



【도 22】



【도 23】





【도 24】

